

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-313951

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H01L 21/8242

H01L 27/108

(21)Application number : 2001-112159

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.04.2001

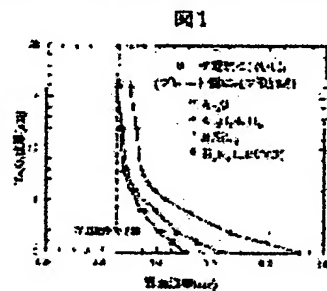
(72)Inventor : SHIMAMOTO YASUHIRO  
MIKI HIROSHI  
HIRATANI MASAHIKO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURING METHOD

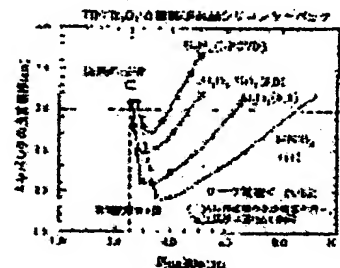
## (57)Abstract:

**PROBLEM TO BE SOLVED:** To increase the electrostatic capacitance of a capacitor and to reduce the leakage current of the capacitor.

**SOLUTION:** The capacitor having an equivalent thickness of  $\leq 3.0$  nm is constituted by laminating an interface film 21 which has a physical thickness of  $\geq 2.5$  nm and suppresses tunnel leakage currents and a high dielectric film 22 composed of tantalum pentaoxide upon lower electrodes 19 and 20 composed of polycrystalline silicon films having roughened surfaces. The interface film 21 is composed of, for example, an  $\text{Al}_2\text{O}_3$  film, a film of a mixture of:  $\text{Al}_2\text{O}_3$  and  $\text{SiO}_2$ ;  $\text{ZrSiO}_4$ ,  $\text{HfSiO}_4$ ,  $\text{Y}_2\text{O}_3$ , and  $\text{SiO}_2$ ; or  $\text{La}_2\text{O}_3$  and  $\text{SiO}_2$ , or a nitride film formed by a LPCVD method. Consequently, the capacitor shows a sufficient capacitance and a low leak current even when the capacitor is refined.



(a)



(b)

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-313951

(P2002-313951A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマト(参考)

H 0 1 L 21/8242

H 0 1 L 27/10

6 2 1 C 5 F 0 8 3

27/108

6 5 1

審査請求 未請求 請求項の数30 O L (全 12 頁)

(21) 出願番号 特願2001-112159(P2001-112159)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22) 出願日 平成13年4月11日 (2001. 4. 11)

(72) 発明者 嶋本 泰洋

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 三木 浩史

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置及びその製造方法

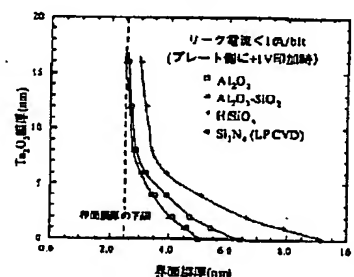
(57) 【要約】

【課題】 キャパシタの静電容量の増大とリーク電流の減少。

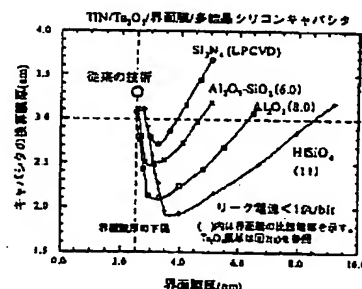
【解決手段】 粗面化した多結晶シリコン膜からなる下部電極19、20上に、2.5nm以上の物理膜厚を有するトンネルリーク電流を抑制する界面膜21と、五酸化タンタルからなる高誘電体膜22を積層して換算膜厚が3.0nm以下のキャパシタを構成する。界面膜21は、例えば、 $Al_2O_3$ 、 $Al_2O_3$ と $SiO_2$ の混合相、 $ZrSiO_4$ 、 $HfSiO_4$ 、 $Y_2O_3$ と $SiO_2$ の混合相、 $La_2O_3$ と $SiO_2$ の混合相、LPCVD法によって形成される窒化膜とする。

【効果】 本発明によれば、微細化しても十分な静電容量と低いリーク電流を示すキャパシタを構成できる。

図1



(a)



(b)

## 【特許請求の範囲】

【請求項 1】リンを添加した粗面化された多結晶シリコン下部電極と、タンタルを主成分とする第 1 の誘電体膜と、上記多結晶シリコン下部電極と上記第 1 の誘電体膜に挟まれた第 2 の誘電体膜とを有するキャパシタを備えた半導体集積回路装置において、上記第 1 の誘電体膜と上記第 2 の誘電体膜の積層膜のシリコン酸化膜に換算した膜厚が 3.0 nm 以下で、かつ、上記第 2 の誘電体膜が上記多結晶シリコン下部電極から上記第 1 の誘電体膜中へ電子のトンネルを抑制できる膜厚を有してなることを特徴とする半導体集積回路装置。

【請求項 2】前記第 2 の誘電体膜の膜厚が 2.5 nm 以上であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】前記第 2 の誘電体膜は、シリコンに対するバリア高さが五酸化タンタル膜よりも大きくシリコン酸化膜より小さいことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 4】前記第 2 の誘電体膜が、 $\text{Al}_2\text{O}_3$ 、 $\text{Al}_2\text{O}_3$ と $\text{SiO}_2$ の混合相、 $\text{ZrSiO}_4$ 、 $\text{HfSiO}_4$ 、 $\text{Y}_2\text{O}_3$ と $\text{SiO}_2$ の混合相、 $\text{La}_2\text{O}_3$ と $\text{SiO}_2$ の混合相、シリコン窒化膜のいずれかの膜であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 5】前記第 1 の誘電体膜は結晶化されており、その結晶が六方晶であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 6】前記第 1 の誘電体膜が結晶化されており、その比誘電率が 5.0 以上であることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 7】前記キャパシタは、前記多結晶シリコン下部電極の対向電極が窒化チタンで形成されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 8】メモリセル選択用トランジスタとこれに直列に接続された情報蓄積用キャパシタとでメモリセルを構成し、上記情報蓄積用キャパシタは、上方に開口部を有する筒型の多結晶シリコン膜とその表面に形成された半球状シリコン結晶とからなる粗面化した多結晶シリコン下部電極と、タンタルを主成分とする第 1 の誘電体膜と上記多結晶シリコン下部電極と上記第 1 の誘電体膜に挟まれた第 2 の誘電体膜とからなるキャパシタ絶縁膜と、上記キャパシタ絶縁膜を挟んで上記多結晶シリコン下部電極と対向して形成された上部電極とを備えた半導体集積回路装置の製造方法であって、メモリセル選択用トランジスタを形成した後に絶縁膜を堆積し、開口して溝を形成する工程と、上記溝の内部に非晶質シリコン膜を形成する工程と、上記質シリコン膜の表面に半球状シリコン結晶を形成する工程と、上記半球状シリコン結晶の表面にリンを導入する工程と、上記リンを導入した表面に、上記第 2 の誘電体膜を堆積法によって形成する工程と、上記第 2 の誘電体膜の表面に、非晶質五酸化タン

タル膜を形成する工程と、上記非晶質五酸化タンタル膜を 700℃以上の酸化性雰囲気中で結晶化させる工程と、上記結晶化された五酸化タンタル膜の上部に、上記溝内部を埋めるように窒化チタンを堆積する工程と、を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 9】前記第 2 の誘電体膜が、 $\text{Al}_2\text{O}_3$ 膜であり、有機アルミニウム化合物と酸化ガスを原料とする原子層堆積法によって形成することを特徴とする請求項 8 に記載の半導体集積回路装置の製造方法。

【請求項 10】前記有機アルミニウム化合物が $\text{Al}(\text{C}_2\text{H}_5)_3$ 、 $\text{Al}(\text{CH}_3)_2\text{Cl}$ のいずれかであることを特徴とする請求項 9 に記載の半導体集積回路装置の製造方法。

【請求項 11】前記酸化ガスが $\text{H}_2\text{O}$ 、 $\text{H}_2\text{O}_2$ のいずれかであることを特徴とする請求項 9 に記載の半導体集積回路装置の製造方法。

【請求項 12】前記 $\text{Al}_2\text{O}_3$ 膜として 2.5 nm 以上の膜厚を堆積することを特徴とする請求項 9 に記載の半導体集積回路装置の製造方法。

【請求項 13】前記第 2 の誘電体膜が、 $\text{Al}_2\text{O}_3$ と $\text{SiO}_2$ の混合相であり、有機アルミニウム化合物とシラン系化合物と酸化ガスを原料とする原子層堆積法によって形成することを特徴とする請求項 8 に記載の半導体集積回路装置の製造方法。

【請求項 14】前記有機アルミニウム化合物が $\text{Al}(\text{C}_2\text{H}_5)_3$ 、 $\text{Al}(\text{CH}_3)_2\text{Cl}$ のいずれかであることを特徴とする請求項 13 に記載の半導体集積回路装置の製造方法。

【請求項 15】前記シラン系化合物が $\text{SiH}_4$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{Si}_2\text{H}_8$ のいずれかであることを特徴とする請求項 13 に記載の半導体集積回路装置の製造方法。

【請求項 16】前記酸化ガスが $\text{H}_2\text{O}$ 、 $\text{H}_2\text{O}_2$ のいずれかであることを特徴とする請求項 13 に記載の半導体集積回路装置の製造方法。

【請求項 17】前記 $\text{Al}_2\text{O}_3$ と $\text{SiO}_2$ の混合相として 2.5 nm 以上の膜厚を堆積することを特徴とする請求項 13 に記載の半導体集積回路装置の製造方法。

【請求項 18】前記第 2 の誘電体膜が、 $\text{ZrSiO}_4$ 膜であり、有機ジルコニウム化合物とシラン系化合物と酸化ガスを原料とする原子層堆積法によって形成することを特徴とする請求項 8 に記載の半導体集積回路装置の製造方法。

【請求項 19】前記有機ジルコニウム化合物が $\text{ZrCl}_4$ 、 $\text{ZrF}_4$ などのジルコニウムハロゲン化合物のいずれかであることを特徴とする請求項 18 に記載の半導体集積回路装置の製造方法。

【請求項 20】前記シラン系化合物が $\text{SiH}_4$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{Si}_2\text{H}_8$ のいずれかであることを特徴とする請求項 18 に記載の半導体集積回路装置の製造方法。

【請求項 21】前記酸化ガスが $\text{H}_2\text{O}$ 、 $\text{H}_2\text{O}_2$ のい

れかであることを特徴とする請求項 18 に記載の半導体集積回路装置の製造方法。

【請求項 22】前記  $ZrSiO_4$  膜として 2.5 nm 以上の膜厚を堆積することを特徴とする請求項 18 に記載の半導体集積回路装置の製造方法。

【請求項 23】前記第 2 の誘電体膜が、 $HfSiO_4$  膜であり、有機ハフニウム化合物とシラン系化合物と酸化ガスを原料とする原子層堆積法によって形成することを特徴とする請求項 8 に記載の半導体集積回路装置の製造方法。

【請求項 24】前記有機ハフニウム化合物が  $HfCl_4$ 、 $HfF_4$  などのハフニウムハロゲン化合物のいずれかであることを特徴とする請求項 23 に記載の半導体集積回路装置の製造方法。

【請求項 25】前記シラン系化合物が  $SiH_4$ 、 $SiH_2Cl_2$ 、 $Si_2H_8$  のいずれかであることを特徴とする請求項 23 に記載の半導体集積回路装置の製造方法。

【請求項 26】前記酸化ガスが  $H_2O$ 、 $H_2O_2$  のいずれかであることを特徴とする請求項 23 に記載の半導体集積回路装置の製造方法。

【請求項 27】前記  $HfSiO_4$  膜として 2.5 nm 以上の膜厚を堆積することを特徴とする請求項 23 に記載の半導体集積回路装置の製造方法。

【請求項 28】前記第 2 の誘電体膜が、 $Si_3N_4$  膜であり、 $SiH_2Cl_2$  と  $NH_3$  を原料とする低压化学的気相成長 (LPCVD) 法によって、700℃以下の温度で堆積することを特徴とする請求項 8 に記載の半導体集積回路装置の製造方法。

【請求項 29】前記  $Si_3N_4$  膜として 2.5 nm 以上の膜厚を堆積することを特徴とする請求項 28 に記載の半導体集積回路装置の製造方法。

【請求項 30】前記  $Si_3N_4$  膜の  $Si2p$  電子の結合エネルギーと多結晶シリコン中の  $Si2p$  電子の結合エネルギーの差が、2.5 eV より大きく 3.5 eV よりも小さいことを特徴とする請求項 28 に記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、半導体集積回路装置およびその製造技術に関し、特に、DRAM (Dynamic Random Access Memory) を有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】DRAM は、選択トランジスタとこれに接続された情報蓄積容量 (以下キャパシタ) とからなるメモリセルを、半導体基板上にマトリクス状に配置して構成する。大容量の DRAM を構成するためには、このメモリセルキャパシタの静電容量の高密度化が必要である。そのための技術として、例えば、特開平 6-244364 には、キャパシタの誘電体膜に高誘電率をもつ五

酸化タンタルを用いる方法が開示されている。この従来技術では、電極である多結晶シリコンには、アンモニアを用いた熱窒化法により表面にシリコン窒化膜を形成し、五酸化タンタル膜を酸素熱処理する際の電極酸化を防止している。また、例えば、特開平 11-26712 には、電極多結晶シリコン表面に半球状シリコン結晶を形成し、同様に熱窒化と五酸化タンタルを形成し、キャパシタを構成した従来技術が開示されている。この従来技術によれば、五酸化タンタルの高誘電率と同時に半球状シリコン結晶による実効電極表面積の増加により、静電容量の増大が図れる。

【0003】

【発明が解決しようとする課題】256 Mビットや 1 Gビット DRAM のような大容量半導体集積回路装置に対して、上記 DRAM 用キャパシタを発明者等は検討した。キャパシタ工程において、アンモニアを用いた熱窒化を 800℃で行ったところ、五酸化タンタルの結晶化熱処理 (800℃、酸素中) の間にこのシリコン窒化膜の酸化が起こり、キャパシタ容量が低下してしまった。一般的に、キャパシタ容量密度の指標として、比誘電率 3.9 のシリコン酸化膜に換算した膜厚を用いている。換算膜厚の薄膜化は、すなわち、キャパシタ容量密度増大を意味する。上記の場合、結晶化処理後のキャパシタの換算膜厚は 3.3 nm であった (半球状シリコン結晶によって実効電極表面積が二倍に増大できるので、実効的なキャパシタの換算膜厚は 1.65 nm である)。ここで、上記キャパシタの適用限界を検討した。ソフトエラー防止、読み取りエラー防止のため、一ビット当たりにキャパシタに蓄えられるキャパシタ容量は、少なくとも 25 fF 以上必要である。図 9 に、キャパシタの加工寸法と、1 ビット当たり 25 fF のキャパシタ容量を実現するストレージノードのアスペクト比 (ストレージノード高さと加工寸法の比) との関係を示した。キャパシタの換算膜厚を 1.5 nm、2.0 nm、2.5 nm、3.0 nm と従来の 3.3 nm の場合についてそれぞれ比較した。半球状シリコン結晶の適用による粗面化したストレージノードを作製するための加工限界は、歩留まりを考慮してアスペクト比 15 であった。つまり、加工寸法が 0.13 μm のとき、ストレージノードの高さは 2.0 μm である。図 9 から、従来の技術を用いて作製した 3.3 nm の換算膜厚をもつキャパシタは、0.16 μm の加工寸法をもつ DRAM で適用限界を迎えることがわかる。さらに高速化、大容量化した DRAM を実現するためには、さらに加工寸法を 0.15 μm 以下に小さくする必要がある。そのためには、図 9 から明らかなように、少なくともキャパシタの換算膜厚を 3.0 nm 以下にしなければならない。発明者等は、さらに上記キャパシタを詳細に解析した。五酸化タンタルの結晶化に必要な温度は少なくとも 700℃以上であった。この結晶化により、五酸化タンタルは比誘電率 25 の非晶質

構造から $\delta$ 相構造に結晶化し、比誘電率が40-60に増大するが、結晶化とシリコン窒化膜の酸化が同時に起きるために、誘電率増大効果がシリコン窒化膜の酸化による容量低下で相殺されてしまった。結晶化熱処理温度を700℃に下げたところ、シリコン窒化膜の酸化を若干抑制し、換算膜厚を3.1nmに薄膜化することができたが、リーク電流密度が増加してしまう問題が生じた。キャパシタのリーク電流が大きい場合、一度蓄えられた情報が失われるまでの時間が短くなるため、情報をもう一度書き込むまでのリフレッシュ時間が短くなり、高速動作を妨げる原因となる。その閾値として、1ビットあたり1Vの電圧を印加したときに1fA以下であることが必要である。本発明の目的は、このような微細な半導体集積回路装置に要求される粗面化した多結晶シリコン電極上に、シリコン酸化膜に換算した膜厚が3.0nm以下であるキャパシタ容量密度を有し、かつ、リーク電流が1ビットあたり1V印加時に1fA以下のキャパシタを提供することにある。

#### 【0004】

【課題を解決するための手段】本発明に係る半導体集積回路装置は、多結晶シリコン膜と、その表面に形成された半球状シリコン結晶とを下部電極とし、下部電極に接する2.5nm以上の物理膜厚を有する下記に挙げる第一の誘電体膜と、五酸化タンタルからなる第二の誘電体膜とから形成されるキャパシタを有するものである。第一の誘電体膜は、多結晶シリコン膜中から五酸化タンタル中へ電子のトンネルを抑制できる2.5nm以上の膜である。例えば、 $Al_2O_3$ 、 $Al_2O_3$ と $SiO_2$ の混合相、 $ZrSiO_4$ 、 $HfSiO_4$ 、 $Y_2O_3$ と $SiO_2$ の混合相、 $La_2O_3$ と $SiO_2$ の混合相、シリコン窒化膜が挙げられる。本発明の特徴であるこれらの界面膜を適用して形成されたキャパシタについて、その効果を、図1を用いて以下説明する。図1(a)は、キャパシタ完成後の界面膜の膜厚と五酸化タンタルの膜厚について、キャパシタのリーク電流がプレート側に1V印加時に1fA以下になる膜厚関係を示したものである。また、これらのキャパシタすべては、五酸化タンタル形成後、酸素中で750℃5分の結晶化熱処理を行っている。図1(a)からリーク電流を1fA以下（プレート側に1V印加時）にするために必要な五酸化タンタルの膜厚は、界面膜厚が薄くなると急激に厚膜化することがわかる。また、この傾向は界面膜に因らないこともわかる。キャパシタの換算膜厚を薄膜化するためには、単純には誘電率の低い界面膜の薄膜化が重要であると考ええる。しかし、図1(a)の結果は、リーク電流の抑制のため、実質的な界面膜厚の下限が存在することを示している。図1(b)は、図1(a)で示す界面膜と五酸化タンタルの膜厚を有するキャパシタについて、その換算膜厚と界面膜厚の関係を示したものである。横軸がキャパシタ完成後の界面膜の膜厚を示す。縦軸は、図1(a)で与え

られる五酸化タンタル膜厚を有するキャパシタの換算膜厚を測定した結果である。界面膜厚の増大によって、換算膜厚が一旦最小値を示した後、増大に転じることがわかる。界面膜厚が増大するにもかかわらず、全キャパシタの換算膜厚が低下するのは、リーク電流抑制のため必要となる五酸化タンタルの膜厚が大幅に薄くなるためである。図1から、リーク電流を抑制し、換算膜厚を3.0nm以下にするためには、界面膜厚は少なくとも2.5nm以上必要であることがわかる。また、図1(b)に示すように、ある界面膜厚で換算膜厚は最小値を示す。この最小となる換算膜厚の値は、界面膜によって異なる。特に、 $Al_2O_3$ 、 $ZrSiO_4$ 、 $HfSiO_4$ を適用することによってキャパシタの換算膜厚は約2.0nmに薄膜化できる。この値は従来の技術によって実現できる3.3nmに比べて1.0nm以上小さい。これらの界面膜を形成する方法としては、堆積膜厚を精密にコントロールし、コンフォーマルな膜を形成できる特徴を持つ原子層堆積法(ALD法)が望ましい。また、シリコン窒化膜も、LPCVD法などによって、予め2.5nm以上の膜を形成することによって、キャパシタの換算膜厚を2.7nmまで薄膜化可能であることを見出した。上記に示した五酸化タンタルキャパシタの特性は図8に示すバンド状態に基づく次のメカニズムによって説明できる。今回検討した絶縁膜の総膜厚が20nmを下回るような五酸化タンタルキャパシタのリーク電流は、電子が多結晶シリコン電極から五酸化タンタル中に注入される確率に支配されている。また、図1(a)に示すように、リーク電流を抑制するために必要な五酸化タンタルの膜厚は、2.5nmの界面膜厚を境界として大きく増大している。このことから、五酸化タンタルキャパシタのトンネル電流は、界面膜で決定されていることがわかる。界面膜のトンネル確率は、多結晶シリコン電極中の電子に対する界面膜のバリア高さ $V_1$ とトンネル距離 $t$ によって決まっている。誘電率が高い膜は一般的にバリア高さが低く、同じ膜厚で比べるとトンネル確率が大きい。五酸化タンタルのシリコンに対するバリア高さ(1.5eV)よりもバリアの高い膜が界面膜の候補である。また、下部シリコン電極の酸化を抑制する、シリコン酸化膜よりも酸化物生成自由エネルギーが低い界面膜が望ましい。これら界面膜のバリア高さは、いずれもシリコン酸化膜の3.1eVに比べて低い。界面膜の直接トンネル電流の式は、例えばS. M. Sze: Physics of Semiconductor Devices (Wiley, New York, 1981) P. 616に示されている。プレート側に $+V_a$  (V)の電圧を印加したときのトンネル確率は、トンネル距離に対して指数関数的に減少するが、バリア高さに関しては、 $(V_1 - V_a / 2)^{0.5}$ に対して指数関数的に減少する。これは、バリア高さに対する依存性が膜厚に対するよりも小さいことを示している。従って、低いリー

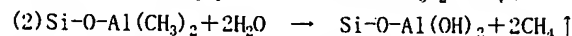
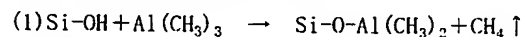
ク電流のキャパシタを得るために、界面膜厚の下限が存在すると考えられる。しかも図1(b)で示すように界面膜のわずかな厚膜化によって、五酸化タンタル膜を大幅に薄膜化できるため、全キャパシタの換算膜厚は、ある一定範囲で、界面膜厚が厚いほど換算膜厚を薄膜化できる結果が得られる。従って、換算膜厚の小さい五酸化タンタルキャパシタを得るためにも、界面膜厚に実質的な下限が存在すると考えられる。従来の技術に比べてキャパシタを薄膜化できるのは、界面膜の比誘電率が窒化膜（実際は酸化膜に近い酸窒化膜）に比べて大きい膜を選択できるためである。これらの界面膜はシリコン酸化膜に比べてバリアが低いため、リーク電流低減のため厚膜化する必要があるが、比誘電率が高いため、これらの界面膜を適用したほうが有利である。一方、ある界面膜厚を境に換算膜厚が増大に転ずるのは、界面膜に大きな電界が集中して、直接トンネル電流的特性からFNトンネル的な大きなリーク電流に移行するためと考えられる。一方、プレート側に負の電圧を印加したときのリーク電流は、主として五酸化タンタルと窒化チタン上部電極の間に形成されるショットキー障壁の高さで決定される。界面膜の容量が大きいほど、五酸化タンタルに及ぼす電界が大きくなるため、リーク電流が増大する。しかし、上記の界面膜を考える限り、リーク電流は十分に低く問題ない。さらにリーク電流を下げたい場合には、窒化チタンよりも仕事関数の大きいルテニウムなどの金属を上部電極として用いることもできる。

#### 【0005】

【発明の実施の形態】<実施例1>本実施例では、本発明によるキャパシタを有するDRAMのメモリキャパシタの製造方法を開示する（図4）。公知な方法で形成されたメモリセル選択トランジスタの上にビット線15を形成し、また、選択トランジスタとキャパシタとの電気的接続を行う多結晶シリコンプラグ16を形成する（図4(a)）。この上に、膜厚100nm程度の窒化シリコン膜17をCVD法によって堆積し、シリコン酸化膜を加工する際のエッチングストップとする。窒化シリコン膜17の上部にテトラエトキシシラン(TEOS)を原料とする酸化シリコン膜18を2μm形成した（図4(b)）。この酸化シリコン膜18と窒化シリコン膜17を、フォトレジストをマスクとしたドライエッチング法によって加工し、多結晶シリコンプラグ16の上部に下部電極用の溝を形成した（図4(c)）。さらにリンをドーピングした非晶質シリコン膜19を35nm堆積し、フォトレジスト膜を用いた公知のエッチバック技術によってこの非晶質シリコン膜19を各ビット毎に分離する（図4(d)）。洗浄工程を経て、非晶質シリコン膜19の表面に核生成処理を施した後に結晶化を行い、半球状シリコン結晶20を生成する。次に、この半球状シリコン結晶20が形成された表面に対して、低下したリン濃度を補うために、例えば、ホスフィンを用いてリンをド

ーピングして下部電極構造を完成した（図4(e)）。さらに、この下部電極表面に界面膜21を形成する（図4(f)）。界面膜21は、 $Al_2O_3$ 、 $Al_2O_3$ と $SiO_2$ の混合相、 $ZrSiO_4$ 、 $HfSiO_4$ 、 $Y_2O_3$ と $SiO_2$ の混合相、 $La_2O_3$ と $SiO_2$ の混合相、シリコン窒化膜などの多結晶シリコン膜中から五酸化タンタル中へ電子のトンネルを抑制できる膜厚を有するものである。その堆積膜厚は図1で示すように、キャパシタ完成後に2.5nm以上の膜厚になるように堆積時に調整する必要がある。また、さらに界面膜厚に応じて、図1(a)で示す最適膜厚の五酸化タンタル22を堆積して、700℃以上の酸化熱処理を行うことによって、結晶化させる（図4(f)）。最後に、上部電極23を形成してキャパシタを完成する（図3）。

<実施例2>本実施例では、 $Al_2O_3$ （アルミナ）を界面膜21として適用する製造方法とその最適化方法について開示する。粗面化した多結晶シリコンの下部電極19、20上に、原子層堆積法によってアルミナを形成する。有機アルミニウム化合物としてトリメチルアルミニウム $[Al(CH_3)_3]$ を用いた。また、酸化ガスとして $H_2O$ を用いた。基板温度は350℃とした。反応式は次式で与えられる通りである。



まず、HF洗浄によって、多結晶シリコン表面を水酸基(OH)によって終端する。次に、 $Al(CH_3)_3$ 前駆体をアルゴンキャリアガスによって反応室に導入し、多結晶シリコン表面に飽和吸着させる。このとき、メチル基の一つがOH基の水素と結合して $CH_4$ となり揮発し、 $Si-O-Al(CH_3)_2$ 状態になる（式(1)）。成膜室の圧力は5 Torrである。飽和吸着に必要な時間はせいぜい1sであった。排気後、 $H_2O$ 雰囲気に切り替える。式(2)で示すように表面酸化反応によって、 $Si-O-Al(OH)_2$ が形成される。成膜室の圧力は5 Torrとした。酸化反応は、すべてのメチル基が水酸基に置き換わった時点で終了する。反応に必要な時間はせいぜい2sである。以上のステップを1サイクルとして、再び $Al(CH_3)_3$ を導入することによって式(1)の反応が進行し、連続的に $Al_2O_3$ 膜を堆積できる。従って、サイクル数によって、堆積膜厚を精密にコントロールすることができる。また、表面反応律速であるためコンフォーマルな膜を形成できる特徴を持つ。以上を50サイクル適用することによって、2.7nmの膜厚の $Al_2O_3$ 膜21を形成した。さらに、CVD法によって非晶質五酸化タンタル膜22を形成した。例えば、450℃の基板温度でペンタエトキシタンタルを原料とし、8nmの非晶質五酸化タンタル膜を形成した。引き続き酸素中で750℃、5分の熱処理を行って、δ相五酸化タンタルに結晶化させた。上部電極23は窒化チタン膜をCVD法で堆積して形成した。膜厚は下部電極1



9, 20と誘電体膜21, 22で構成される溝を埋めるように選択し、下部電極溝に起因する表面凹凸を平坦化して図3の構造を得た。CVD法は、例えば四塩化チタンとアンモニアを原料とする減圧CVD法が適当である。さらに、必要に応じてスパッタ法で膜厚を増加させて、上部電極23の抵抗を減少させた。また、CVD法で形成した窒化チタンに残留する塩素を取り除くため、電極形成後の熱処理として500℃程度の処理を施すこともできる。この上部電極23についてフォトリソをマスクとするドライエッチングにより加工し、メモリセル部以外の窒化チタンを除去する。さらに、公知な配線工程を経ることで、半導体集積回路装置が完成する。図5(a)に五酸化タンタル膜の結晶化熱処理温度とキャパシタ換算膜厚の関係を示す。Al<sub>2</sub>O<sub>3</sub>膜の堆積膜厚は2.7nm、五酸化タンタル膜厚は8nmである。また、従来の技術について、アンモニア中の熱窒化法で1.5nmのシリコン窒化膜を形成した場合の結果を同時に示した。Al<sub>2</sub>O<sub>3</sub>膜を適用した場合、熱処理を施さないキャパシタの換算膜厚は2.4nmであったが、700℃の温度で2.1nmに薄膜化することがわかる。これは五酸化タンタル膜が結晶化してδ相に転移することによって比誘電率が60に高誘電率化するためである。しかし、熱処理温度が775℃以上になると換算膜厚は増大する。これは、Al<sub>2</sub>O<sub>3</sub>と多結晶シリコン界面にシリコン酸化膜SiO<sub>2</sub>の形成が進行するためと考えられる。例えば、800℃の熱処理温度では約0.5nmのSiO<sub>2</sub>が形成されている。また、750℃の熱処理でも約0.2nmのSiO<sub>2</sub>膜が形成されていることを確認した。一方、従来の技術を用いた場合、五酸化タンタル膜の結晶化にともなう換算膜厚の薄膜化は見られない。これは、結晶化とシリコン窒化膜の酸化が同時に起きるために、誘電率増大効果がシリコン窒化膜の酸化による容量低下で相殺されてしまった結果である。800℃の熱処理温度で、キャパシタの換算膜厚は3.3nmである。図5(b)には熱処理温度とプレート側に1V印加時のリーク電流の関係を示す。従来のキャパシタの場合、SiO<sub>2</sub>の形成が進行する800℃以上の熱処理によって、1fA以下のリーク電流に抑制できる。Al<sub>2</sub>O<sub>3</sub>膜を適用した場合、750℃以上で1fA以下のリーク電流に抑制できる。750℃の熱処理後のキャパシタ換算膜厚は2.1nmであった。このときの印加電圧とリーク電流の関係を図7に示す。1V印加時のリーク電流は0.7fAで十分に小さい。また、原子層堆積法のサイクル数を60サイクルにして3.1nmのAl<sub>2</sub>O<sub>3</sub>膜を形成した場合、6nmの五酸化タンタル膜を形成することによって、キャパシタの換算膜厚は2.1nmとすることができた。一方、図2(a)に、Al<sub>2</sub>O<sub>3</sub>膜の堆積膜厚と750℃の酸化熱処理後のキャパシタ換算膜厚の関係を示す。さらに、図2(b)にはAl<sub>2</sub>O<sub>3</sub>膜の堆積膜厚と750℃の酸化熱処理後のリー

ク電流(プレート側に1V印加時)の関係を示す。ただし、五酸化タンタルの膜厚は8nmとした。図2(b)からリーク電流はAl<sub>2</sub>O<sub>3</sub>膜厚が厚くなるほど、減少することがわかる。1fA以下に抑制するためには、あらかじめAl<sub>2</sub>O<sub>3</sub>膜を2.8nm以上堆積する必要がある。このとき、酸化処理後の界面膜厚は0.2nm増えて3.0nmであった。これは前に述べたように、Al<sub>2</sub>O<sub>3</sub>と多結晶シリコン界面にシリコン酸化膜SiO<sub>2</sub>が形成されるためである。原子層堆積法の原料は、Al(CH<sub>3</sub>)<sub>3</sub>以外にAl(CH<sub>3</sub>)<sub>2</sub>Clでも同じ結果が得られた。また、酸化ガスとしてH<sub>2</sub>O<sub>2</sub>やN<sub>2</sub>Oでも同じ結果が得られた。Al<sub>2</sub>O<sub>3</sub>膜の形成方法としては、原子層堆積法以外にも公知のCVD法でも形成できる。最適な膜厚配分については原子層堆積法と同じ結果が得られた。

<実施例3>本実施例では、Al<sub>2</sub>O<sub>3</sub>とSiO<sub>2</sub>の混合相からなる界面膜21を適用する製造方法とその最適化方法について開示する。粗面化した多結晶シリコン19, 20上に原子層堆積法によって混合相を形成する。ここでは原料としてAl(CH<sub>3</sub>)<sub>3</sub>とSi<sub>2</sub>H<sub>6</sub>とH<sub>2</sub>Oを用いた。基板温度は300℃とした。実施例2と同様に、逐次成長法のため膜厚の制御性が高く、表面反応律速で成長するため、コンフォーマルなAl<sub>2</sub>O<sub>3</sub>とSiO<sub>2</sub>の混合相からなる界面膜21を形成することができ。これらの膜についてX線光電子分光を用いて結合状態を調べると、Al<sub>2</sub>O<sub>3</sub>とSiO<sub>2</sub>の結合のみが観測され、混合相であることを確認した。その混合比は約1:1であった。リーク電流を1fA以下に抑制するために必要な五酸化タンタル膜厚と界面膜厚の関係は図1(a)に示す通りである。非晶質五酸化タンタル膜を形成した後に750℃の結晶化熱処理を施し、さらに、実施例2に示した方法で半導体集積回路装置が完成する。2.9nmのAl<sub>2</sub>O<sub>3</sub>とSiO<sub>2</sub>の混合相からなる界面膜21と8nmの五酸化タンタル膜からなるキャパシタによって、2.5nmの換算膜厚を有するキャパシタを形成できた。6nmの五酸化タンタル膜を用いた場合、3.1nmの界面膜21が必要であった。この場合も2.5nmの換算膜厚を有するキャパシタを形成できた。図2(a)には、Al<sub>2</sub>O<sub>3</sub>とSiO<sub>2</sub>の混合膜の堆積膜厚と750℃の酸化熱処理後のキャパシタ換算膜厚の関係が示されている。さらに、図2(b)には堆積膜厚と750℃の酸化熱処理後のリーク電流(プレート側に1V印加時)の関係を示す。ただし、五酸化タンタルの膜厚は8nmとした。図2(b)からリーク電流を1fA以下に抑制するためには、あらかじめAl<sub>2</sub>O<sub>3</sub>とSiO<sub>2</sub>の混合膜を2.7nm以上堆積する必要があることがわかる。このとき、酸化処理後の界面膜厚はSiO<sub>2</sub>形成によって0.2nm増えて2.9nmであった。原子層堆積法の原料はAl(CH<sub>3</sub>)<sub>3</sub>以外にAl(CH<sub>3</sub>)<sub>2</sub>Clでも同じ結果が得られた。また、Si<sub>2</sub>H<sub>6</sub>はSi



$\text{H}_4$ でもよく、酸化ガスとして $\text{H}_2\text{O}_2$ や $\text{N}_2\text{O}$ でも同じ結果が得られた。

＜実施例4＞本実施例では、 $\text{HfSiO}_4$ からなる界面膜21を適用する製造方法とその最適化方法について開示する。粗面化した多結晶シリコンの下部電極19、20上に、原子層堆積法によって $\text{HfSiO}_4$ を形成する。ここでは原料として $\text{HfCl}_4$ と $\text{Si}_2\text{H}_6$ と $\text{H}_2\text{O}$ を用いた。基板温度は300℃とした。実施例2と同様に、逐次成長法のため膜厚の制御性が高く、表面反応律速で成長するため、コンフォーマルな $\text{HfSiO}_4$ 膜を形成することができる。リーク電流を1fA以下に抑制するために必要な五酸化タンタル膜厚と $\text{HfSiO}_4$ 膜厚の関係は、図1(a)に示す通りである。バリアが最も低い $\text{HfSiO}_4$ は、リーク電流抑制のために必要な界面膜厚が他のバリアの高い膜に比べて大きい。しかし、比誘電率が11と高いため、図1(b)に示すように、原子層堆積法によって3.4nm形成し、8nmの五酸化タンタル膜を適用したときにキャパシタ換算膜厚を1.9nmまで薄膜化可能であった。原料としては $\text{HfCl}_4$ 以外にも $\text{HfF}_4$ などのハロゲン化物であれば適用可能である。また、 $\text{SiH}_4$ は $\text{Si}_2\text{H}_6$ でも、さらに酸化ガスは $\text{H}_2\text{O}_2$ や $\text{NO}_2$ などでも同様の結果が得られた。また、原料として $\text{ZrCl}_4$ などのジルコニウムハロゲン化物を用いて、 $\text{ZrSiO}_4$ を界面膜21に用いてもよい。このとき $\text{ZrSiO}_4$ の比誘電率は9.5で膜厚が3.3nmのときにキャパシタ換算膜厚を2.0nmまで薄膜化可能であった。図2(a)に、 $\text{HfSiO}_4$ 膜、 $\text{ZrSiO}_4$ 膜の堆積膜厚と750℃の酸化熱処理後のキャパシタ換算膜厚の関係を示す。さらに、図2(b)には $\text{HfSiO}_4$ 膜、 $\text{ZrSiO}_4$ 膜の堆積膜厚と750℃の酸化熱処理後のリーク電流（プレート側に1V印加時）の関係を示す。ただし、五酸化タンタルの膜厚は8nmとした。図2(b)からリーク電流1fA以下に抑制するためには、あらかじめ $\text{HfSiO}_4$ 膜、 $\text{ZrSiO}_4$ 膜を3.4nm、3.3nm以上それぞれ堆積する必要があることがわかる。また、 $\text{HfSiO}_4$ 膜、 $\text{ZrSiO}_4$ 膜は、定比組成でなくても、 $\text{HfO}_2$ - $\text{SiO}_2$ の混合相や、 $\text{ZrO}_2$ - $\text{SiO}_2$ の混合相でも適用可能である。 $\text{SiO}_2$ の割合が多い場合、最適界面膜厚は多少薄くなる。しかし、比誘電率が小さくなる効果の方が大きく、換算膜厚は増大する。 $\text{SiO}_2$ の割合が少ない場合、比誘電率は増大するが、最適界面膜厚も厚くなり、その効果が大きいため換算膜厚は増大する。また、 $\text{Y}_2\text{O}_3$ と $\text{SiO}_2$ の混合相、 $\text{La}_2\text{O}_3$ と $\text{SiO}_2$ の混合相を界面膜21として適用してもよい。その最適界面膜厚とそのときのキャパシタの換算膜厚は $\text{HfSiO}_4$ 膜、 $\text{ZrSiO}_4$ 膜と同等であった。

＜実施例5＞本実施例では、LPCVD法によって形成されたシリコン窒化膜からなる界面膜21を適用する製造方法とその最適化方法について開示する。従来の技術

では、アンモニア雰囲気中で800℃の基板温度で熱窒化法によって形成したが、五酸化タンタルの結晶化熱処理（800℃、酸素中）の間にこのシリコン窒化膜の酸化が起こり、キャパシタ容量が低下してしまっていた。耐酸化性が強く、また、リーク電流の低い界面膜の形成が重要である。そこで、平坦な多結晶シリコン膜を用意して、従来のシリコン窒化膜とLPCVD法によるシリコン窒化膜を形成し、X線光電子分光法を用いて結合状態を比較した。X線は基板に垂直に入射したので、表面から約2nmの範囲の状態を示している。図6中(a)の実線は従来の技術によって形成された熱窒化膜について窒化直後の $\text{Si}2\text{P}$ 電子のスペクトルを示している。99.2eVに見られるピークは、多結晶シリコン基板の $\text{Si}$ 同士の結合状態を示す。一方、高エネルギー側の101.7eV付近に見られるピークは、 $\text{Si}$ と $\text{N}$ の結合ピーク、つまり、 $\text{Si}_3\text{N}_4$ 膜の結合状態を示す。 $\text{Si}_3\text{N}_4$ 膜の結合ピークが $\text{Si}$ 基板の結合ピークよりも小さいことから、 $\text{Si}_3\text{N}_4$ 膜が薄いことがわかる。また、 $\text{Si}_3\text{N}_4$ 膜の結合ピークの半値幅が大きいので、 $\text{N}$ と未結合の $\text{Si}$ や、 $\text{O}$ と結合した $\text{Si}$ が存在することを示す。実際に、酸素のXPSスペクトルから、 $\text{O}1\text{s}$ 電子の結合ピークが大きいことが観測されている。従来のシリコン窒化膜について酸素中で800℃、5分の高速熱処理を行った結果を図6中(a)の破線に同時に示す。101.7eV付近に見られた $\text{Si}_3\text{N}_4$ 膜の結合ピークが消えて、103.2eV付近に大きなピークが出現した。これは、シリコン窒化膜が酸化されて酸窒化膜が形成されたためである。窒化膜の酸化が進むほど、高エネルギー側にピークが移動する。 $\text{SiO}_2$ 膜の結合エネルギーは103.7eVであるので、従来の膜はほとんど酸化膜に近い膜であることがわかる。一方、ジクロロシラン( $\text{SiH}_2\text{Cl}_2$ )とアンモニア( $\text{NH}_3$ )を原料とするLPCVD法によって650℃で2.5nmの膜厚で形成したシリコン窒化膜の表面分析結果を図6(b)に同時に示す。窒化直後の $\text{Si}_3\text{N}_4$ 膜の結合状態を示す101.7eV付近に見られるピークが大きく、また半値幅が小さいので、ストイキオメトリに近い、厚い窒化膜が形成されていることがわかる。また、酸化熱処理後の高エネルギー側へのピークシフトが小さく、耐酸化性も大きいことがわかる。図2(a)には、LPCVD法によるシリコン窒化膜の堆積膜厚と750℃の酸化熱処理後のキャパシタ換算膜厚の関係を示す。図2(b)にはLPCVD法によるシリコン窒化膜の堆積膜厚と750℃の酸化熱処理後のリーク電流（プレート側に1V印加時）の関係を示す。ただし、五酸化タンタルの膜厚は8nmである。図2(b)からリーク電流はシリコン窒化膜厚が厚くなるほど、減少することがわかる。1fA以下に抑制するためには、あらかじめシリコン窒化膜を2.8nm以上堆積する必要がある。このとき、酸化処理後の界面膜厚は0.3nm増えて3.1nmで

あった。これは耐酸化性が高い LPCVD 法によるシリコン窒化膜も、窒化膜最表面は酸化されるためである。キャパシタの換算膜厚は 2.7 nm であった。一方、従来の窒化膜の場合、界面膜はほとんど酸化膜に近い酸窒化膜であり、キャパシタの換算膜厚は 3.2 nm である。一方、図 5(a) には、五酸化タンタル膜の結晶化熱処理温度と LPCVD 法によって形成されたシリコン窒化膜を界面膜にもつキャパシタの換算膜厚の関係が示されている。シリコン窒化膜の堆積膜厚は 2.8 nm、五酸化タンタル膜厚は 8 nm である。従来の技術について、アンモニア中の熱窒化法で 1.5 nm のシリコン窒化膜を形成した結果を同時に示した。LPCVD 法によって形成されたシリコン窒化膜を適用した場合、熱処理を施さないキャパシタの換算膜厚は 3.0 nm であったが、700℃の温度で 2.7 nm に薄膜化することがわかる。これは五酸化タンタル膜が結晶化して  $\delta$  相に転移することによって比誘電率が 60 に高誘電率化するためである。シリコン窒化膜の酸化によって換算膜厚が増大するのは 800℃以上の熱処理を加えた場合である。これは、同図に示す従来の熱窒化法によって形成されたシリコン窒化膜を適用した場合に比べて、約 100℃耐酸化性が高いことを示している。図 5(b) には熱処理温度とプレート側に 1 V 印加時のリーク電流の関係を示した。LPCVD 法によって形成されたシリコン窒化膜を適用した場合、膜を適用した場合、750℃以上で 1 fA 以下のリーク電流に抑制できる。750℃の熱処理を施した場合、キャパシタの換算膜厚は 2.7 nm であった。このときの印加電圧とリーク電流の関係を図 7 に示す。1 V 印加時のリーク電流は 0.8 fA で十分に小さい。また、3.1 nm のシリコン窒化膜を形成した場合、6 nm の五酸化タンタル膜を形成することによって、キャパシタの換算膜厚を 2.7 nm とすることができた。以上に示すように、シリコン窒化膜を界面膜として適用する場合、窒化膜の酸化を抑制し、比誘電率の大きい酸窒化膜にコントロールすることが重要である。そのためには、予め厚い窒化膜を形成することが必要である。従来の技術で使われているアンモニア中の熱窒化などの直接窒化法は、反応時間に対して、窒化膜厚が対数的に変化するため、たとえプロセス温度を 900℃にしても短時間のうちに 2.0 nm 以上の膜厚を形成することが難しい。この場合、高温熱処理のため、トランジスタ特性が劣化する問題も生じる。一方、LPCVD 法などの堆積法による窒化膜形成法は、低温で短時間に所望の膜厚を形成可能であるため、量産性の上でも有利である。シリコン窒化膜の形成は多結晶シリコン表面を予め 800℃以下の  $\text{NH}_3$  雰囲気中で熱窒化してから LPCVD 窒化膜を形成したり、熱窒化のかわりに 700℃以下のプラズマ窒化を適用した場合も、総窒化膜厚を 2.8 nm に制御すれば上記と同様に 2.7 nm の換算膜厚を有するキャパシタを形成できた。また、シリコン窒化膜

を  $\text{Si}_2\text{H}_6$  と  $\text{NH}_3$  を用いた原子層堆積法によって形成しても同様のキャパシタを形成できた。

#### 【0006】

【発明の効果】本発明によれば、微細化しても十分な静電容量と低いリーク電流を示すキャパシタを構成でき、それにより、大容量半導体集積回路装置、特に DRAM が提供できる。

#### 【図面の簡単な説明】

【図 1】本発明の実施例 1 により作成されたキャパシタについて、リーク電流を 1 fA/bit 以下に抑制するために必要な界面膜厚と五酸化タンタル膜厚の関係と、そのときの界面膜厚とキャパシタの換算膜厚の関係を示す図。

【図 2】五酸化タンタル膜厚が 8 nm であるときの、各界面膜の堆積膜厚と 750℃の酸化熱処理後のキャパシタの換算膜厚、リーク電流（プレート側に +1 V の電圧を印加時）の関係を示す図。

【図 3】本発明の実施例 1 によって作成された DRAM のメモリセル部の断面構造図。

【図 4】本発明の実施例 1 によって作成された DRAM のメモリセル部の製造方法を示す断面図。

【図 5】熱窒化法と LPCVD 法によって形成したシリコン窒化膜、原子層堆積法によって形成した  $\text{Al}_2\text{O}_3$  膜について、酸素熱処理温度とキャパシタ換算膜厚、リーク電流（プレート側に +1 V の電圧を印加時）の関係を示す図。

【図 6】熱窒化法と LPCVD 法によって形成したシリコン窒化膜について、窒化直後と 800℃で 5 分の酸化熱処理後の  $\text{Si} 2\text{P}$  電子の X 線光電子スペクトルを比較した図。

【図 7】LPCVD 法によって形成したシリコン窒化膜と原子層堆積法によって形成した  $\text{Al}_2\text{O}_3$  膜について、リーク電流の電圧依存性を示した図。

【図 8】五酸化タンタルキャパシタのリーク電流機構を説明する図。

【図 9】キャパシタの加工寸法と 1 ビットあたり 25 fF のキャパシタ容量を実現するストレージノードのアスペクト比の関係を示す図。

#### 【符号の説明】

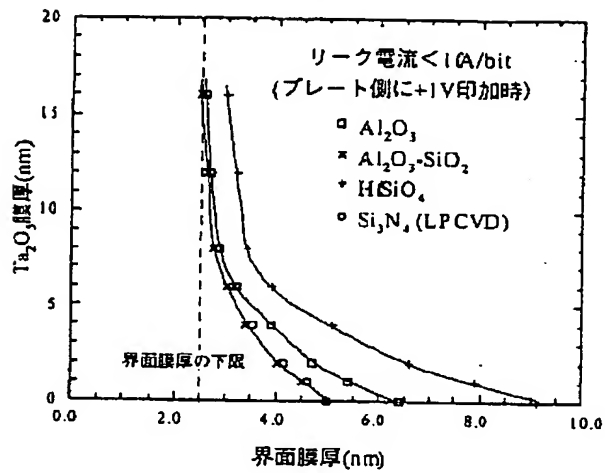
- 11…シリコン基板
- 12…トランジスタ分離用シリコン酸化膜
- 13…ワード線
- 14…シリコン窒化膜
- 15…ビット線
- 16…多結晶シリコンプラグ
- 17…シリコン窒化膜
- 18…シリコン酸化膜
- 19…非晶質シリコン膜
- 19A…多結晶シリコン膜
- 20…半球状シリコン結晶

- 21...界面膜
- 22...五酸化タンタル
- 23...上部電極 (窒化チタン)

- 24...層間絶縁膜1 ( $\text{SiO}_2$ )
- 25...層間絶縁膜2 ( $\text{SiO}_2$ )

【図1】

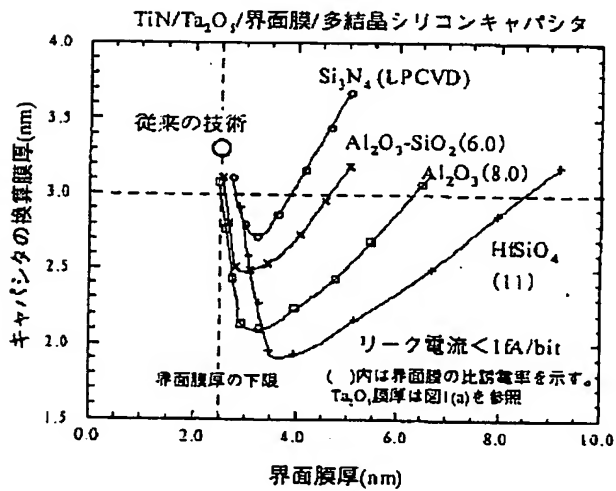
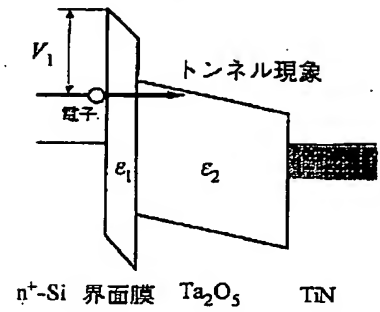
図1



(a)

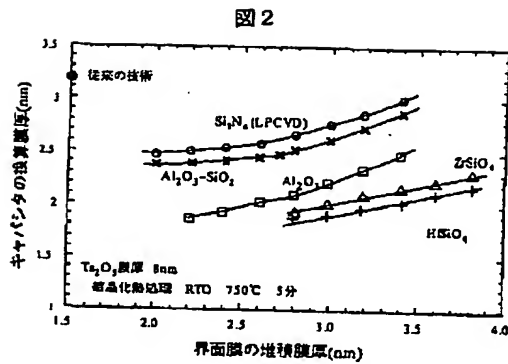
【図8】

図8

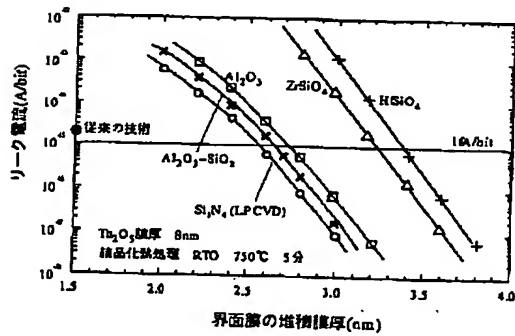


(b)

【図2】



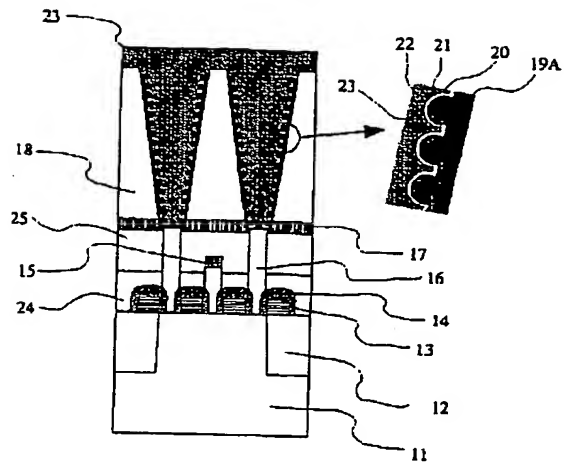
(a)



(b)

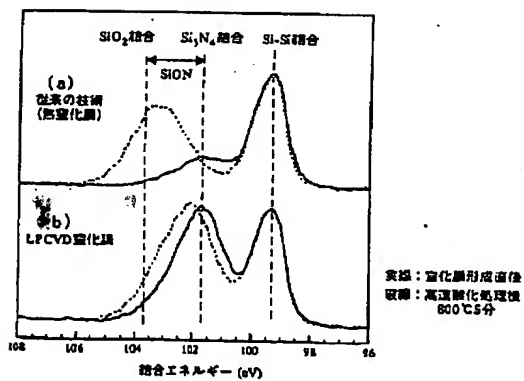
【図3】

図3



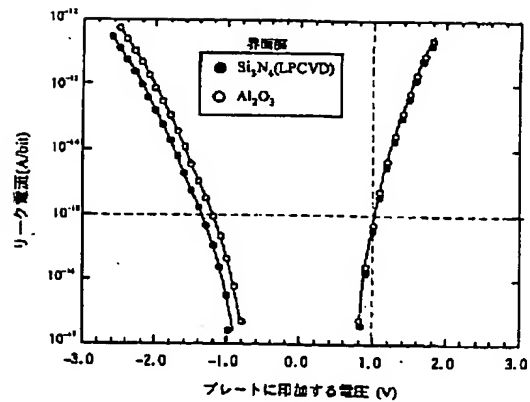
【図6】

図6

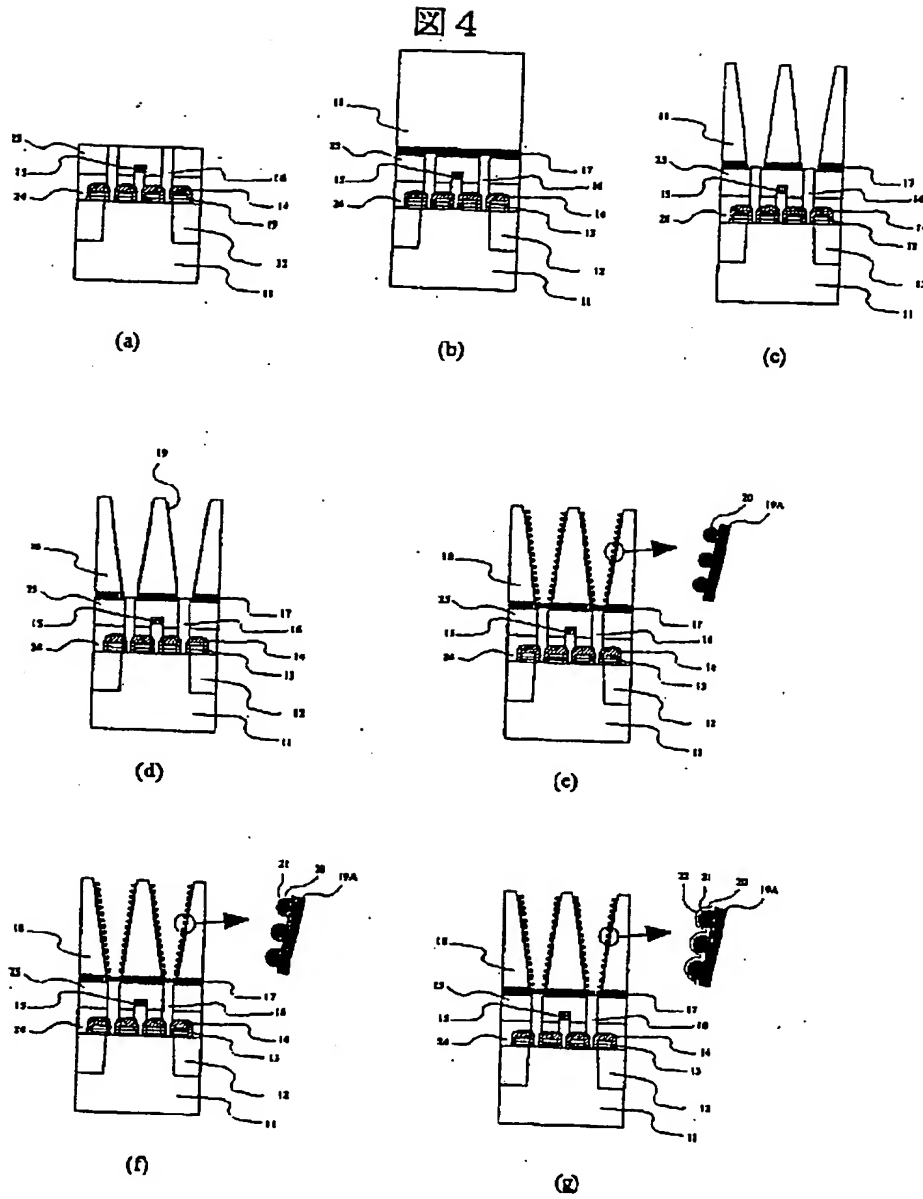


【図7】

図7



【図4】

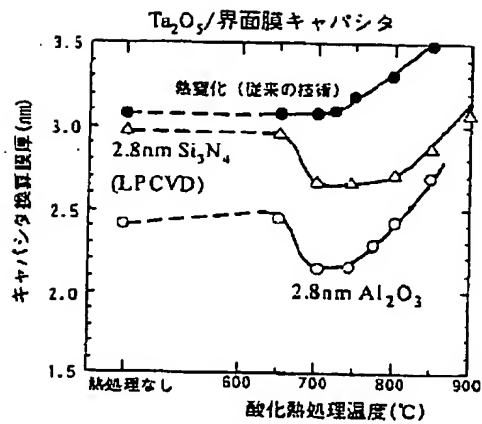


BEST AVAILABLE COPY

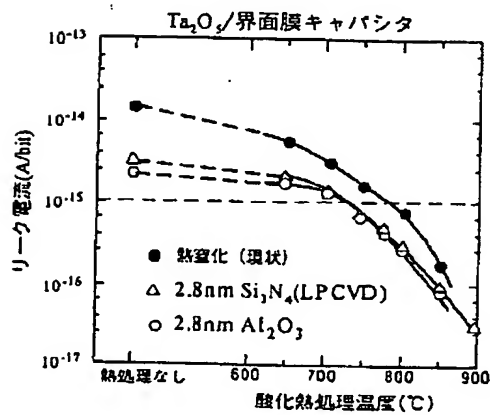
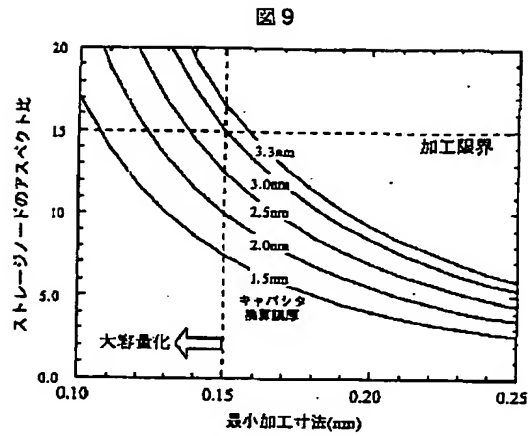
【図5】

【図9】

図5



(a)



(b)

フロントページの続き

(72)発明者 平谷 正彦  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

Fターム(参考) 5F083 AD24 AD48 AD62 GA06 JA02  
JA06 JA40 MA06 MA17 NA08  
PR33